

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭56-61848

⑮ Int. Cl.³
H 04 J 3/00
H 04 L 5/22

識別記号

庁内整理番号
6628-5K
6372-5K

⑯ 公開 昭和56年(1981)5月27日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 多重通信装置

青梅市末広町2丁目9番地東京
芝浦電気株式会社青梅工場内

⑰ 特 願 昭54-136353
⑱ 出 願 昭54(1979)10月24日
⑲ 発 明 者 山下真人

⑰ 出 願 人 東京芝浦電気株式会社
川崎市幸区堀川町72番地
⑲ 代 理 人 弁理士 則近憲佑 外1名

明 細 書

1. 発明の名称

多重通信装置

2. 特許請求の範囲

(1) 複数の低速チャネルと、該複数の低速チャネルに接続された多重チャネルと、該多重チャネルにおけるフレーム構成を記憶するメモリと、前記多重チャネルにタイミング信号を供給するタイミング生成回路と、フェールバックを検出して前記タイミング生成回路および前記メモリにそれぞれフェールバックに応じた動作を行なわせるフェールバック検出回路とを具備することを特徴とする多重通信装置。

(2) フェールバックが検出されたとき、タイミング生成回路の働きによって低速チャネルの通信速度が低下させられることを特徴とする特許請求の範囲第1項記載の多重通信装置。

(3) フェールバックが検出されたとき、メモリから読み出されたフレーム構成に従って一部の低速チャネルが多重チャネルから切り離されることを

(1)

特徴とする特許請求の範囲第1項記載の多重通信装置。

3. 発明の詳細な説明

本発明はデータ通信用の多重通信装置に関し、特に高速モデムに接続された回線の品質が低下した際のフェールバック対策を施した多重通信装置に関する。

時分割多重通信装置は、複数の低速同期式・非同期式回線をそれぞれの速度に応じて時分割でタイムスロットに割り当て、ビット単位又はキャラクタ単位で多重化し、あるいはこれを分離化して対応する低速同期式・非同期式回線へ分配する装置である。そして、従来の時分割多重通信装置は、たとえば第1図のように構成されていた。図中1は高速モデムであり、2は多重チャネルである。多重チャネル2は信号ライン3によって高速モデム1と接続されており、高速モデム信号の直列→並列変換や時分割タイムスロットに割ったデータの多重化・分離化を行なう機能を持っている。4はタイミング生成回路である。このタイミング生

(2)

成回路 4 は非同期データのサンプリングパルスや、同期データのクロック等を作る機能を有しており、信号ライン 5 を介して多重チャネル 2 と相互に連絡されている。6 はメモリである。このメモリ 6 は時分割タイムスロットのフレーム構成や、低速チャネルの情報を記憶するもので、信号ライン 7 および 9 を介して多重チャネル 2 と相互に連絡されている。8 は低速チャネル群である。この低速チャネル群 8 は、たとえば同期式低速チャネル 8 A、8 B 及び非同期式低速チャネル 8 C、8 D を含んでいる。同期式低速チャネル 8 A、8 B は同期式データの直列→並列変換を行う機能を有しており、ライン 9 および 10 によって多重チャネル 2 およびメモリ 6 に接続されている。非同期式低速チャネル 8 C、8 D は非同期式データの直列→並列変換を行う機能を有しており、ライン 9 および 10 によって多重チャネル 2 およびメモリ 6 に接続されている。11~14 は低速回路との信号ラインを示している。

次に、上記従来の時分割多重通信装置につき、

(3)

回線の品質が低下した場合に、低速チャネルの通信速度を低下させるか、あるいは低速チャネルの一部を切り離すことにより低速チャネルの一部を運用可能とした多重通信装置を提供することにある。

第 2 図は本発明を時分割多重通信装置に適用した場合の一実施例を示している。图中、第 1 図と同一符号は同一物を示す。15 は検出回路である。検出回路 15 は高速モデム 1 からの異常信号、又は外部のスイッチ操作によりライン 16 を介してフェールバックを検出するものである。検出回路 15 はさらに信号ライン 17 を介してタイミング生成回路 4 A にフェールバックを報知するとともに、ライン 18 を介してメモリ 6 A にもフェールバックを報知するものである。

次に上記実施例につき第 3 図及び第 4 図のフレーム構成を参照して説明する。いま、第 3 図に示された平時の状態では、多重チャネル 2 の通信速度が 9600 BPS、同期式低速チャネル 8 A の通信速度が 4800 BPS、同期式低速チャネル 8 B の通信

(5)

特開昭 56- 61848(2)

キャラクタ単位で多量化する時のフレーム構成を説明する。今、多重チャネル 2 の通信速度を 8 BPS とし、同期式低速チャネル 8 A、8 B、非同期式低速チャネル 8 C、8 D の通信速度をそれぞれ A BPS、B BPS、C BPS、D BPS とすると、その時のフレーム構成は次のようになる。すなわち、時分割タイムスロットは、A BPS の低速チャネル 8 A には 8/A タイムスロットに 1 回、B BPS の低速チャネル 8 B には 8/B タイムスロットに 1 回、C BPS の低速チャネル 8 C には 8/C タイムスロットに 1 回、D BPS の低速チャネル 8 D には 8/D タイムスロットに 1 回の割合で与えられる。

ところが、上記従来の時分割多重通信装置には、回線品質の低下に応じて高速モデム 1 の通信速度をたとえば 8/2 BPS に低下させると、前述の如き時分割タイムスロット割り当てのままでは時分割多重通信装置そのものが動作しないという欠点を有していた。

本発明はかかる従来の欠点を解決する為になされたもので、その目的は高速モデムに接続された

(6)

速度が 2400 BPS、非同期式低速チャネル 8 C、8 D の通信速度がそれぞれ 1200 BPS であるものとする。このとき同期式低速チャネル 8 A には、9600/4800 タイムスロットに 1 回すなわち 2 タイムスロットに 1 回のタイムスロットが割り当てられる。同様に同期式低速チャネル 8 B には、4 タイムスロットに 1 回、非同期式低速チャネル 8 C、8 D にはそれぞれ 8 タイムスロットに 1 回割り当てられる。

回線の品質低下に応じて高速モデム 1 の通信速度を 9600 BPS から 4800 BPS へフェールバックさせた時、検出回路 15 は高速モデムからの信号又は外部のスイッチ操作によってフェールバックを検出する。その結果、タイミング生成回路 4 A 及びメモリ 6 A へ検出回路 15 からフェールバック検出信号が供給される。すると、タイミング生成回路 4 A は高速モデム 1 のフェールバックに応じて同期式低速チャネル 8 A の通信速度を 4800 BPS から 2400 BPS に、低速チャネル 8 B の通信速度を 2400 BPS から 1200 BPS にそれぞれ低下させる。ま

(8)

たメモリ8Aによって指定されるフレーム構成も高速モデム1のフォールバックに応じて変更される。たとえば第4図に示されているように、同期式低速チャネル8Aには4800/2400タイムスロットに1回すなわち2タイムスロットに1回、同期式低速チャネル8B及び、非同期式低速チャネル8Cにはそれぞれ4タイムスロットに1回割り当てられる。そして、同期式低速チャネル8Dは切り離される。

又、フォールバックが解除されたときは、検出回路15はフォールバック検知信号の出力を停止する。その結果、タイミング生成回路4Aは低速回路のクロックを元の状態に戻し、メモリ6Aはフレーム構成を元の状態に戻し装置全体が元に戻る。尚、上記実施例では時分割多重通信装置について述べてきたが、周波数分割による多重通信装置のフォールバックにも応用することができるとは当然である。

このように本発明の装置を用いれば多重通信装置を用いた際に、回線品質の低下によってフー

ルバックが生じて、優先度の低い回線を切り離したり、低速回路の通信速度を低下させたりすることにより、一部回線の運用が可能となる。

4. 図面の簡単な説明

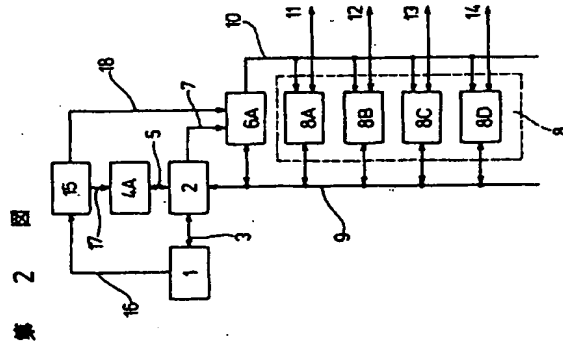
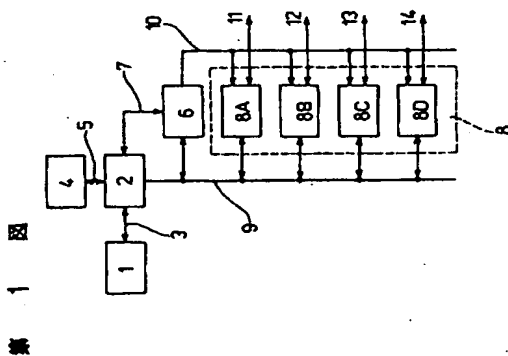
第1図は従来の時分割多重通信装置の構成図、第2図は本発明の一実施例を示す構成図、第3図は通常時のフレーム構成を示す図、第4図はフォールバック時のフレーム構成例を示す図である。

1 ……高速モデム 2 ……多重チャネル
4・4A ……タイミング生成回路
6・6A ……メモリ
8A, 8B, 8C, 8D ……低速チャネル
15 ……検出回路

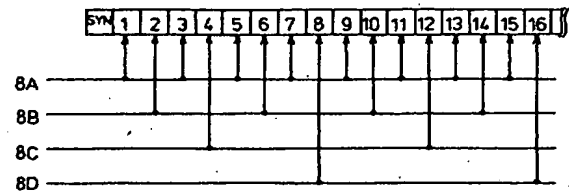
(7317)代理人 弁護士 則 直 勉 佑 (ほか1名)

(7)

(8)



第3図



第4図

